

单片机中的锁相环频率合成器

清华大学 MOTOROLA 中心 许庆丰

摘要: 锁相频率合成技术是在通讯领域中应用非常广泛的一项技术。近些年, 开始应用在单片机中作为片内时钟。本文介绍了单片机内锁相频率合成器的一般原理, 并以 68HC908GP32 单片机中的 CGMC 模块为例说明其使用方法。

关键字: 锁相频率合成技术, 鉴相器, 分频器, 单片机。

高精度的频率源是任何电子系统必不可少的, 并且在很大程度上决定了系统的性能, 可称之为电子系统的核心。锁相频率合成技术是基于锁相环路的同步原理, 可以由一个高准确度、高稳定度的参考晶体振荡器, 综合出大量离散频率的一种技术。在早期的单片机中, 片内时钟多采用外接的晶体振荡器时钟电路产生的时钟信号经过四分频得到。例如, 要得到 2.0MHZ 的内部总线时钟就需要外接 8.0MHZ 的晶振。而高频工作的外部时钟电路本身就是一个干扰源, 会产生系统噪声, 影响周围其他设备的正常工作。所以最先在 32 位高档单片机时钟电路中大量采用了锁相环频率合成器。由低频工作的外接晶振经片内频率合成产生所需的工作时钟。这样就大大降低了系统的外噪声, 提高了可靠性。随着锁相频率合成技术的逐渐成熟, 在低档 8 位机上也开始采用这一技术。

锁相环的原理框图如图 1 所示, 其稳相及频率合成是一个负反馈过程: 鉴相器将输入信号 f_i 及输出 f_o 的若干次分频信号进行相位比较, 输出一个与 θ_i 及 θ_o / N 之间相位差成正比的电压, 这个电压加到滤波器上, 作为 VCO/VCM (压控多谐振荡器) 的控制信号, 由于 VCO/VCM 输出一个频率与其输

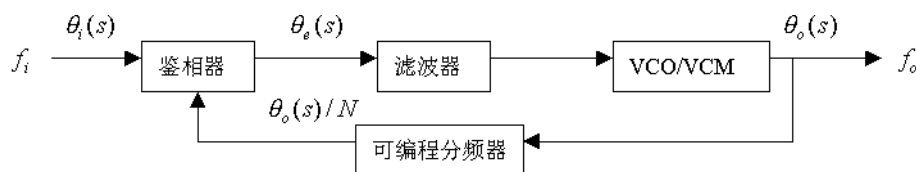


图 1 锁相环系统原理

入电压成比例的信号, 所以控制信号出现的任何时变信号都将对 VCO/VCM 进行频率调制。在相位锁定期间, 输出频率是:

$$f_o = Nf_i$$

由鉴相器、滤波器和 VCO/VCM 构成的前向支路、反馈支路中含有可编程分频器。如果去掉可编程分频器, 在反馈支路中产生的增益为 1。其结果是系统的输出频率等于输入频率, 锁相电路只完成相位同步工作。

68HC908GP32 是 MOTOROLA 最新生产的 08 系列高性能单片机中的一员, 片内带有 32K 的 FLASH 存储器, 其时钟生成模块(CGMC)在典型情况下, 只需采用 32.768KHZ 的外接的晶体振荡器, 就可以通过编程产生 0—8.0MHZ 的内部总线时钟, 外围电路如图 2 所示, 在单片机 OSC1, OSC2 引脚上外接晶振及阻容网络, 此外在 CGMC 引脚上还需外接滤波网络。

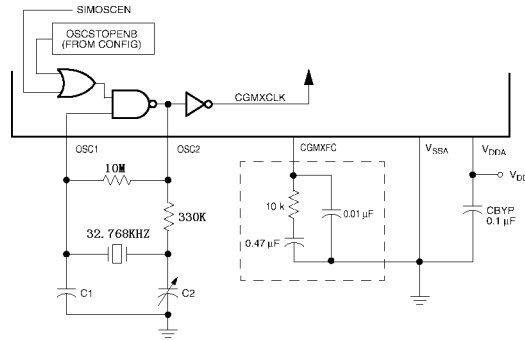


图2 时钟生成模块外接电路

在 68HC908GP32 的时钟生成电路(CGMC)中, 为了产生所需的总线时钟, 用户需要计算并设置 5 个参数: R、N、P、E、L。下面分别说明各参数的计算方法:

R 为外部参考时钟的分频因子。若令外接晶振的参考频率为 f_{RCLK} , 则实际输入时钟为 f_{RCLK} / R , 推荐使用 $f_{RCLK} = 32.768\text{KHZ}$, 此时 R 取 1, 若 32.768KHZ 的晶振不能满足要求, 您也可以选择其他频率的晶振, 此时 R 可根据需要选取。笔者在实验中也曾实验过 R=2, 3 等情况, 但计算复杂, P, E 等参数都要调整, 而且结果精度会受到影响。所以, 如果对频率没有特殊要求, 尽量使用 32.768KHZ 的晶振。

应用时外部参考时钟的频率可以在 30KHZ—100KHZ 之间选择。典型情况 $f_{RCLK} = 32.768\text{KHZ}$ 。

N 为倍频因子, 按下式计算: $f_{VCLK} = 4 \times f_{BUS}$

$$N = \text{round}\left(\frac{R \times f_{VCLK}}{f_{RCLK}}\right)$$

式中 f_{VCLK} 为锁相环输出频率, f_{BUS} 为希望得到的单片机片内工作时钟, f_{RCLK} 为外接参考时钟, R 为上一步所取的分频因子。

P 为调整参数。令锁相环的最大倍频为 $N_{\max} = \frac{f_{VCLK}}{f_{RCLK}}$, 将上一步计算所得的 N 与 N_{\max} 比较, 如果 R 取 1, 则 $0 < N \leq N_{\max}$, 此时 P 取 0。若 R 不为 1, 则 P 的取值由 N 的大小而定: 若 $N_{\max} < N \leq 2N_{\max}$, P 取 1; 若 $2N_{\max} < N \leq 4N_{\max}$, P 取 2; 若 $4N_{\max} < N \leq 8N_{\max}$, P 取 3。

E 是 VCO 的控制指数因子, E 的取值大小和总线频率有关, 取值为 0, 1, 2。大致范围如下: 当 $f_{VCLK} < 10\text{MHZ}$, E 取 0, $10\text{MHZ} < f_{VCLK} < 20\text{MHZ}$, E 取 1, $20\text{MHZ} < f_{VCLK} < 40\text{MHZ}$, E 取 2。

最后计算寄存器参数 L:

$$L = \text{round}\left(\frac{f_{VCLK}}{2^E \times f_{NOM}}\right)$$

上式中, 对于采用 32.768KHZ 外部晶振, $f_{NOM} = 38.4\text{KHZ}$ 。

下表列出了在单片机系统中常用的 f_{BUS} 频率值及各参数的计算结果: (其中 R=1, P=0)

f_{BUS}	f_{RCLK}	N	E	L
2.0MHZ	32.768kHz	F5	0	D1
2.4576MHZ	32.768kHz	12C	1	80
2.5MHZ	32.768kHz	132	1	83
4.0MHZ	32.768kHz	1E9	1	D1
4.9152MHZ	32.768kHz	258	2	80
5.0MHZ	32.768kHz	263	2	82

7.3728MHZ	32.768kHz	384	2	C0
8.0MHZ	32.768kHz	3D1	2	D0

此外，需要注意的是，单片机复位后，锁相环部分电路处于关闭状态，频率合成器不工作，此时片内时钟就是外部时钟的四分频，例如用 32.768KHZ 晶振，未设置锁相环时系统实际工作频率只有 8.192KHZ，此时指令的执行是相当慢的，所以用户程序因该在程序开始最先设置时钟工作频率，随后在进行其他初始化工作，以加快系统的初始化过程。

PLL Module in Micro-Controllers

Abstract

The phase-locked loop technique, which has been widely used in modern communication devices, is now more and more adopted inside microcontroller as an internal clock generate module. This article describes the basic principle of PLL technique. As an example, the MC68HC908GP32 MCU is used to explain how to program it.

Key words

Phase-locked loop, Phase Detector, Reference Divider, MCU